

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 58007864  
PUBLICATION DATE : 17-01-83

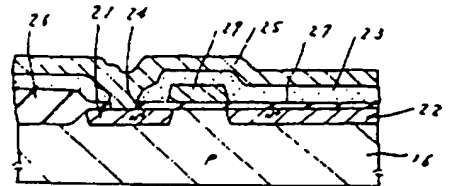
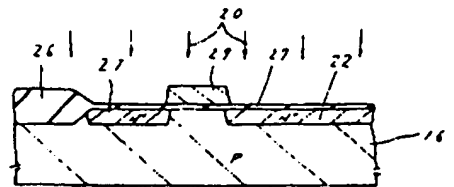
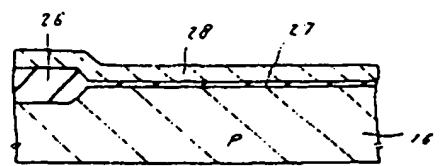
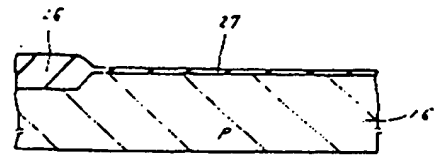
APPLICATION DATE : 06-07-81  
APPLICATION NUMBER : 56104457

APPLICANT : HITACHI LTD;

INVENTOR : TAKEDA TOSHIFUMI;

INT.CL. : H01L 29/78 H01L 21/88 // H01L 29/62

TITLE : SEMICONDUCTOR DEVICE AND  
MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To enable high speed operation of a semiconductor device by forming electrodes or wires formed on a substrate of alloys of more than two different high melting points as constituents, thereby shortening an access time.

CONSTITUTION: Gate electrodes 28 of more than two types of high melting point alloy layers are formed on a gate oxidized film 27 on a substrate 16. The adequate alloy layers include Mo-Ta, Mo-W, Ti-Ta, Ti-W or the like. The alloy composition is determined by the metal halogenide gas flow ratio. In this manner, the electrodes which can operate as sufficient mask with low resistance at the impurity injecting time are provided, thereby accelerating the operation.

COPYRIGHT: (C) JPO

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

⑩ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭58—7864

⑬ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
21:88  
# H 01 L 29/62

識別記号

庁内整理番号

7377—5 F

6810—5 F

⑭ 公開 昭和58年(1983) 1月17日

発明の数 2  
審査請求 未請求

(全 5 頁)

⑮ 半導体装置及びその製造方法

⑯ 特 願 昭56—104457

⑰ 出 願 昭56(1981) 7月6日

⑱ 発 明 者 竹田敏文

小平市上水本町1450番地株式会社

社日立製作所武蔵工場内

⑲ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5  
番1号

⑳ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置及びその製造方法

特許請求の範囲

1. 半導体基板上に設けられた電極又は配線が、互いに異なる少なくとも2種類の高融点金属の合金からなっていることを特徴とする半導体装置、
2. 互いに異なる少なくとも2種類の高融点金属の合金層を電極又は配線材料として半導体基板上に形成する工程と、前記合金層を熱処理する工程とを夫々有することを特徴とする半導体装置の製造方法。

発明の詳細な説明

本発明は半導体装置、例えば高集積度の高速 MOS (Metal Oxide Semiconductor) 型等の MIS (Metal Insulator Semiconductor) 型メモリとしての RAM IC、及びその製造方法に関するものである。

この種の RAM IC としては、シリコン基板の表面に形成されたゲート酸化膜上にポリシリコンのゲート電極を設け、このポリシリコンゲート電

極をマスクとしてイオン打込みを行なうことによってソース及びドレイン領域をセルフアラインで (自己整合的に) 形成したものが知られている、しかしながら、RAM の高速化 (特にアクセスタイムの短縮) という要求に対してポリシリコンゲート電極の電気抵抗は充分低くはなく、高速動作を実現する上での障害となっている。

このため、ポリシリコンと同様にマスク作用があってもより低抵抗の材料でゲート電極を形成することが望まれるが、そうした低抵抗材料としてモリブデン (Mo)、タンタル (Ta) 又はタングステン (W) 等の高融点金属が考えられる。ところが、これらの高融点金属のゲート構造について本発明者が検討を重ねた結果、次の如き欠陥が生じることが判明した。即ち、上記の高融点金属のうち1種類の金属をゲート酸化膜上にゲート電極形状に形成した場合、その形成直後にアニールを施して低抵抗化及び金属結晶の修補を行なったときに、高融点金属の結晶が柱状結晶となって基板の厚さ方向にはば平行に整列してしまうこと

が分った。このために、次のイオン打込み工程において、基板上面から垂直方向(基板の厚さ方向)に所定の不純物イオンを照射したとき、この不純物イオンは高融点金属層の柱状結晶間を通過してその直下の基板表面に到達し易くなる。換言すれば、ゲート電極直下のチャネル部の表面に基板と逆導電型のイオン打込み層が浅く形成されて反転層が生じたのと等価となり、従って同じイオン打込み工程で形成されたソース及びドレイン領域間が上記イオン打込み層を介して導通した状態となる。このような現象は、高融点金属のゲート電極がイオン注入に対するマスク効果を実際には有しておらず、ソース及びドレイン領域のみをセルフアラインで形成し得ないことを意味している。また、作成されたMIS型電界効果トランジスタ(以下、MISFETと略す)は、上記反転層の形成によって特性的には目的とするしきい値電圧 $V_{th}$ を示さなくなり、非常に不都合である。

従って、本発明の目的は、上記の如き問題に基いて、所望の低抵抗値を示すと共に不純物導入時

に十分なマスク作用を有する電極又は配線(例えば上記のゲート電極)が設けられた半導体装置、及びそのための製造方法を提供することにある。

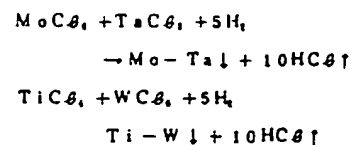
この目的を達成するため、本発明によれば、上記の如き結晶の柱状化現象はゲート電極等の電極又は配線を1種類の高融点金属で形成することによって引起されるものであることをつき止め、互いに異なる2種以上の高融点金属の合金を構成材料とすることによって、次のアニール時に柱状結晶化するのを効果的に防止しているのである。即ち、2種以上の高融点金属の一方がアニール時に上記の柱状結晶化を生じようとしても、合金化される他方の高融点金属が合金層の柱状結晶化を効果的に阻止する作用をなすように構成したものである。この結果、上面から垂直方向にイオン打込み等によって不純物を導入するに際し、高融点金属の合金層が十分なマスク効果をもつようになり、従って例えばMISFETのソース及びドレイン領域をセルフアラインで正確に形成でき、目的とする電気的特性を得ることができる。

本発明による電極又は配線を構成する合金層は、Mo、Ta、W、Ti等の高融点金属の少なくとも2種からなっているが、これらの適当な組合せとしてはMo-Ta、Mo-W、Ti-Ta、Ti-W等が挙げられる。この場合、MoやTiはアニール時に柱状結晶化を生じる傾向があり、TaやWは逆にその柱状結晶化を阻止する作用を有している。これらの合金元素の含有比は種々考えられるが、一例としてMo-Ta、Ti-Wの場合には各合金元素の割合は50原子%：50原子%であってよい。この含有比は種々に変更できると共に、合金元素の組合せも種々であってよい。

この高融点金属の合金層は、金属ハロゲン化物の還元反応を気相で行なわせることによって合金を析出させる気相化学反応(CVD)で形成するのが望ましい。使用する金属ハロゲン化物としては $MoCl_5$ 、 $TaCl_5$ 、 $WCl_6$ 、 $TiCl_4$ 、 $MoF_6$ 、 $WF_6$ 等が挙げられるが、これらのハロゲン化物の異なる2種類をガス状にして基板上に送り込み、所望の反応温度下で特に水素によって各金属単体

(Mo、Ta、W、Ti等)に還元させると同時に、析出する2種以上の金属単体間の合金化反応を生ぜしめる。このCVD時の反応温度は還元及び合金化反応が生じるのに十分な温度に設定する必要があつて、例えば600℃程度が適当である。

このCVDによれば、合金層が以下に例示する化学反応に基いて形成されるために、不純物の混入が少なく純度が良好となり、しかも成長面上での均一な気相反応によって段差被覆性(ステップカバレージ)も良好となって段切れ等の問題が生じない。



また、合金層は1工程のみで形成されることから作業性や生産効率も良好であり、更にその合金組成も供給する金属ハロゲン化物ガスの流量比で任意に変えることができ、制御性が良好となる。

このCVD法に代えて、スパッタ法、EB

(electron beam) 蒸着法等の他の方法を採用することもできる。この場合は、2種以上の高融点金属元素を基板上に同時にスパッタするか或いは同時に叩き出して基板上に被着せしめる。

次に、本発明による合金層を形成するための反応装置を第1図に例示する。

この装置においては、互いに種類の異なる高融点金属の塩化物I(例えばTiCl<sub>4</sub>)、塩化物II(例えばWCl<sub>6</sub>)の各昇華装置1, 2から各金属塩化物ガスを配管3, 4によって導びき、ポンプ5から配管6で導かれる水素と配管7にて混合させ、更に混合器8に通した後反応炉9に導入している。なお、10, 11は各配管に設けられた流量調節用の流量計及びバルブである。上記の昇華装置1, 2は第2図に示すように、固体の金属塩化物I, IIを収容した容器12, 13の周囲に配されたヒータ(図示せず)によって金属塩化物I, IIを昇華温度、例えば90℃程度に加熱してmTorrオーダーの高気圧の金属塩化物ガスを発生させ、これらを各配管14, 15から導

入される不活性ガス(キャリアガス)、例えばArによって配管3, 4へ送出するように構成されている。これらのキャリアガスの流量は金属塩化物ガスの供給量を定めるものであって、例えば2g/minに夫々設定される。また、上記の還元用の水素ガスの流量は金属塩化物を金属単体に還元するのに重要であって、その流量は例えば2g/minに設定される。一方、反応炉9においては、例えば既にゲート酸化膜が形成されているシリコン基板等の半導体基板16がサセプタ17上に載置され、炉内に配された高周波加熱コイル18によって所望の反応温度にまで加熱されるようになっている。なお、19は反応生成ガス及び未反応ガスを導出するための排気管である。

この反応装置によって、半導体基板16上に例えば1500~3000Åの膜厚の高融点合金層を一樣に成長させることができる。この合金層は上述したように、高純度でステップカバレッジが良好であり、また反応ガスの流量によって膜厚及び組成が容易にコントロールできるものである。

次に、本発明を高集積度の高速メモリ、例えばMIS型ダイナミックRAMに適用した例を第3図に示す。この図では、RAMのメモリセルのトランスマッションゲートとしてのMISFET部のみが示されているが、その記憶保持用のMISFET部や、メモリアレイの周辺回路素子部も同様に適用されるのでそれらの説明は省略している。

まず第3A図のように、P型シリコン基板16の一面に公知の選択酸化技術によって素子分離用のフィールドSiO<sub>2</sub>膜26を成長せしめた後、耐酸化マスク(窒化シリコン膜)及び下地の薄いSiO<sub>2</sub>膜を夫々エッチングで除去し、更にこの除去領域に酸化性雰囲気中での熱処理によってゲート酸化膜27を形成する。

次いで第3B図のように、上述した装置によって全面に高融点金属の合金層、例えばTi-W層28を被着する。しかる後、1000℃で30分間、アニールを施して合金層28の低抵抗化及び結晶の修復を行なう。

次いで第3C図のように、MoSi<sub>2</sub>膜28を公

知のフォトリソグラフィによってパターンニングし、高速の信号伝達機能が要求されるTi-Wのワード線29を形成する。しかる後に、全面にリン又は砒素のイオンビーム20を照射し、ワード線29及びフィールドSiO<sub>2</sub>膜26が存在しない領域のゲート酸化膜27を通して基板16にAs等のイオン打込みを行なう。そして熱処理によって打込み不純物を引伸ばし拡散してソース又はドレイン領域となるN<sup>+</sup>型半導体領域21, 22を夫々形成する。このイオン打込み工程においては、高融点合金層29は上述した理由からアニールによっても柱状結晶化されておらず、従って打込みイオン20を通さない充分なマスク効果を有したものとなっている。このため、打込みイオン20は合金層29(及びフィールドSiO<sub>2</sub>膜26)の存在しない領域のゲート酸化膜27のみを通して基板16に選択的に導入される。この結果、ソース及びドレイン領域をセルフアライン方式で正確に形成できると共に、ゲート電極下の基板には全くイオンが到達しないために目的とするV<sub>th</sub>を常に得

ることができる。

次いで第3D図のように、CVDによって全面にリンシリケートガラス膜23を被着せしめ、公知のフォトリソグラフィによってコンタクトホール24を形成した後、例えば公知の真空蒸着技術によってアルミニウムを全面に付着させ、更に公知のフォトリソグラフィによってアルミニウムのデータ線25にパターニングする。そして、更にファイナルパッシベーション膜等を施して、ダイナミックRAMICを完成させる。

このRAMICは、本発明による低抵抗合金層からなるゲート電極又は配線を有しているから、高動作が可能であり、特に従来のポリシリコンゲートに比べてアクセスタイムを大幅に短くすることができる。

以上、本発明を説明したが、上述した例は本発明の技術的思想に基づいて更に変形が可能である。例えば、各反応ガスの供給方式や反応条件は種々に選択してよいし、反応装置の構造も上述のものに限定されることはない。また、本発明による高

特開昭58-7864(4)

融点合金層下に下地として通常のポリシリコン膜を薄く形成してもよい。この場合、ポリシリコン膜は、例えばゲート電極を他の拡散領域にダイレクトコンタクト方式で接続する必要がある場合において上層の高融点合金層基板のシリコンとの界面での電気的特性を向上させる作用を有している。また、本発明による高融点合金層はイオン打込みだけでなく不純物拡散時のマスク作用も有しているから、上述の如きソース又はドレイン領域を不純物の熱拡散によってセルフアライン(自己整合的)に形成する場合にも勿論適用できる。なお、本発明はRAMICに限ることなく、半導体基板上に高融点合金層を電極又は配線として設けた種々のデバイスに適用可能である。例えば配線として従来のA4の代りに本発明による高融点合金層を用いると、高融点であることからジュール熱によっても配線が熔融して変形することがなく、いわゆるエレクトロマイグレーションと称される現象は何ら生じない。つまり、従来のA4配線ではジュール熱による変形(配線幅の縮小又は不均一

化)が生じ易く、このA4原子のエレクトロマイグレーションを防ぐためにSiを微量含有せしめることが行なわれているが、本発明の材料はそうしたA4-Si系に代わる配線材料として使用可能である。

図面の簡単な説明

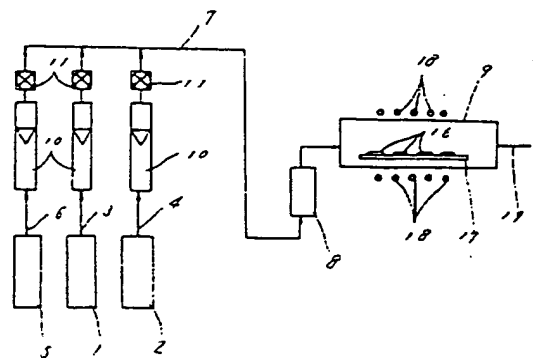
図面は本発明を例示するものであって、第1図は気相反応装置の概略断面図、第2図は反応ガスの供給機構の断面図、第3A図～第3D図はRAMICのメモリセルを構成するトランジミッシンゲート部の作成工程を順次示す各断面図である。

なお、図面に用いられている符号において、9は反応炉、16は半導体基板(ウェハ)、18は高周波加熱コイル、28は高融点金属の合金層、29は高融点合金のワード線、25はアルミニウムのデータ線である。

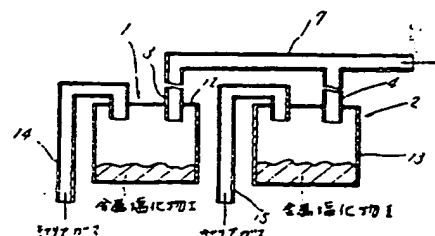
代理人 井理士 藤田利



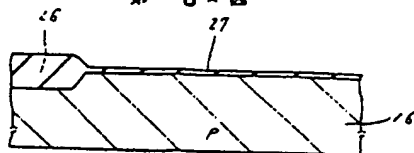
第 1 図



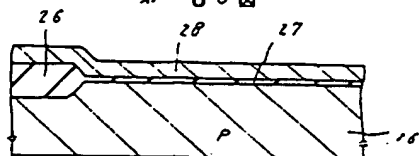
第 2 図



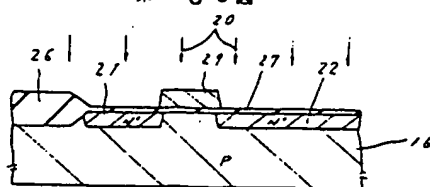
第 3 A 図



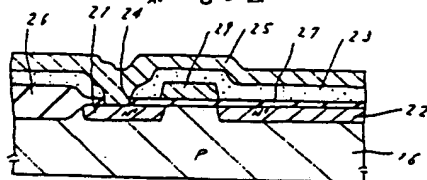
第 3 B 図



第 3 C 図



第 3 D 図



**THIS PAGE BLANK (USPTO)**



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**